



JP60262073

Bibliography

Page

Drawing



DISTURBANCE MONITOR FOR DIGITAL SIGNAL PROCESSOR

Patent Number: JP60262073

Publication date: 1985-12-25

Inventor(s): KAJIWARA MASANORI; others: 02

Applicant(s): FUJITSU KK

Requested Patent: JP60262073

Application Number: JP19840118105 19840611

Priority Number(s):

IPC Classification: G01R31/28; H03H17/00

EC Classification:

Equivalents:

Abstract

PURPOSE: To enable a constant monitoring by extracting and storing input/output data into first and second memories to obtain the results of disturbance monitoring at the output of a means for comparing the results with a simulation processor and the output data.

CONSTITUTION: A necessary data from an input signal line IL is extracted with a simulation processor 8 to be stored into a first memory 6 and a data processed with a digital signal processor 1 based on the data is extracted from an output signal line OL to be stored into a second memory 7. Then, the data of the first memory 6 is simulated with the processor 8 and the stored data controlled in the output action of the second memory 7 is compared with the results of simulation by a comparator 3. When both of the data coincide with each other, the unit 1 is reset while when they do not, an alarm is lighted judging that some disturbance occurs while a terminal 5 is notified thereof. This enables constant monitoring without interruption of the unit 1.

Data supplied from the esp@cenet database - I2

④日本国特許庁 (JP) ①特許出願公開
 ②公開特許公報 (A) 昭60-262073

③Int.Cl. ④識別記号 ⑤序内整理番号 ⑥公開 昭和60年(1985)12月25日
 G 01 R 31/28 6740-2G
 H 03 H 17/00 8124-5J
 ⑦審査請求 未請求 発明の数 1 (全5頁)

⑧発明の名称 ディジタル信号処理装置の障害監視装置

⑨特 願 昭59-118105

⑩出 願 昭59(1984)6月11日

⑪発明者 梶原 正範 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑫発明者 田中剛 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑬発明者 中出浩志 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑭出願人 富士通株式会社 川崎市中原区上小田中1015番地
 ⑮代理人 助理士 齋木 朝 外3名

明細書

1. 発明の名称

「ディジタル信号処理装置の障害監視装置」

2. 特許請求の範囲

「1. ディジタル信号処理装置の障害監視装置であつて、

該ディジタル信号処理装置に入力される入力データを抽出格納する第1のメモリ、

該入力データに基づき該ディジタル信号処理装置がディジタル処理をして得られた出力データを抽出格納する第2のメモリ、

該第1のメモリに格納された入力データに基づき、該ディジタル信号処理装置によるディジタル処理を該ディジタル処理の処理速度より低速でシミュレートするシミュレーションプロセッサ、及び

該シミュレーションプロセッサによるシミュレーション結果と該第2のメモリに格納された出力データとを比較する比較手段

を具備し、該比較手段の出力に該ディジタル信

号処理装置の障害監視結果を得るようにしたことを特徴とする障害監視装置。

2. 該シミュレーションプロセッサは該第1及び第2のメモリの入出力動作を制御するようした特許請求の範囲第1項記載の障害監視装置。

3. 該ディジタル信号処理装置は前述回路フィルタである特許請求の範囲第1項又は第2項記載の障害監視装置。

4. 該ディジタル信号処理装置は電話回線上のディジタル信号を適応差分PCM変換するADPCM変換フィルタである特許請求の範囲第1項又は第2項記載の障害監視装置。

5. 該ディジタル信号処理装置は電話回線上のディジタル信号を周波数分割多路変換するFDM変換フィルタである特許請求の範囲第1項又は第2項記載の障害監視装置。

3. 発明の詳細な説明

〔審査上の利用分野〕

「本発明はディジタル信号処理装置の障害監視装置に関する。」

一連のデジタル信号を受信し、これを演算処理によって符号変換するデジタル信号処理装置として、例えば、巡回形あるいは非巡回形のフィルタ、あるいは、デジタル電話回線上の入力デジタル信号を適応差分PCM(ADPCM)変換するADPCM変換フィルタや周波数分割多重(FDM)変換するFDM変換フィルタが知られている。本発明はこれらのデジタル信号処理装置の障害を監視する装置に関する。

〔従来技術とその問題点〕

従来、デジタル信号処理装置によるデジタル処理を監視するために、例えば第6図に示す如く、現用のデジタル信号処理装置1のほかに、信号処理装置1を試験するためのデジタルパターンを発生する試験パターン発生器2を用意し、定期的保守を行うときにスイッチを入力信号線1Nから試験パターン発生器2に切替え、試験パターン発生器2から試験パターンデータを現用装置1に送出して現用装置1によりデジタル処理を行わせると同時に試験パターン発生器2において

ても試験パターンによってデジタル信号処理装置が発生すべきパターンを発生させ、それぞれの処理結果を比較回路3により比較させていた。比較の結果、それぞれの処理結果が異なるときは、警報用のランプ(LED)4を点灯させたり、端末装置5にその旨通知したりする。

この従来方式では、保守時に入力信号線1Nと現用のデジタル信号処理装置1とがスイッチSWにより切替るので、その間に入力線1Nに与えられる入力デジタル信号は遮断されないことになる。このことは、例えば電話回線においては電話サービス機能の一時的な停止を意味し、好ましくない。

また、従来、第6図に示すように、同一構成のデジタル信号処理装置1及び2を入力線1Nに接続し、これらの出力を比較回路3により常時比較する方式も行われている。第6図及び第5図に示した方式では、いずれも2つのデジタル信号処理装置が並列であり、デジタル信号処理装置は一般に高価なので障害監視装置の価格が高くなる

という問題がある。

〔発明の目的〕

本発明の目的は、上述の従来方式にかかる問題にかんがみ、デジタル信号処理装置の演算内容を現用のプロセッサによりシミュレートするという構造に基づき、現用のデジタル信号処理装置による処理を中断することなくその障害を同時に検出できる廉価な障害監視装置を提供することにある。

〔発明の構成〕

上記の目的を達成するため、本発明により提供されるものは、デジタル信号処理装置の障害監視装置であって、デジタル信号処理装置に入力される入力データを抽出格納する第1のメモリ、入力データに基づき現用デジタル信号処理装置がデジタル処理して得られた出力データを抽出格納する第2のメモリ、第1のメモリ格納された入力データに基づき、デジタル信号処理装置によるデジタル処理をデジタル処理の処理速度より速速でシミュレートするシミュレーション

プロセッサ、及びシミュレーションプロセッサによるシミュレーション結果と第2のメモリに格納された出力データとを比較する比較手段を具備し、比較手段の出力にデジタル信号処理装置の障害監視結果を得るようにしておいたことを特徴とする障害監視装置である。

〔作用・用〕

シミュレーションプロセッサはメモリを制御するなどにより、デジタル信号処理装置による入力データの任意の処理をシミュレートすることができ、しかも、シミュレートしている間もデジタル信号処理装置による入力データの処理は中断することができない。シミュレーションプロセッサによるシミュレートの動作はデジタル信号処理装置の処理速度より速くても、障害の診断には特に問題とはならない。

〔実施例〕

以下本発明の実施例を図面によつて詳述する。

1図は本発明の一実施例によるデジタル信号処理装置の障害監視装置を示すプロック図であ

る。同図において、1はデジタル信号処理装置、3は比較回路、4はランプ、5は端末装置、6は第1のメモリ、7は第2のメモリ、そして8はシミュレーションプロセッサである。

シミュレーションプロセッサ8は、デジタル信号処理装置1が行う演算処理をシミュレートするためのプログラムを内蔵した汎用マイクロコンピュータである。

シミュレーションプロセッサ8は、第1のメモリ6の入力動作を制御して、シミュレートしようとする演算に必要なデータを入力信号端子11から抽出し第1のメモリ6に格納する。シミュレーションプロセッサ8はまた、第2のメモリ7の入力動作を制御して、第1のメモリ6に格納されたデータと同一データに基づきデジタル信号処理装置1によって処理されたデータを出力信号端子12から抽出して第2のメモリ7に格納させる。第1のメモリ6に格納されたデータは、シミュレーションプロセッサ8によって適当な時期に取り出され、デジタル信号処理装置1の動作がシミュレ

ートされる。シミュレートが終了すると、シミュレーションプロセッサ8は第2のメモリ7の出力動作を制御してその格納データを比較回路3に与えると共にシミュレーション結果を比較器3に与える。比較器は両者のデータを比較し、一致していれば再び上記と同様のシミュレーション動作を行わせるべくシミュレーションプロセッサ8をリセットし、不一致であれば障害が発生したと判断して警報用ランプ4の点灯又は端末装置5への通知を行う。

以上の動作により、デジタル信号処理装置1による処理動作を中断させることなく、當時デジタル処理をシミュレートするごとにデジタル信号処理装置1の障害が監視できる。

また、シミュレーションプロセッサ8はデジタル信号処理装置1に比べて極めて廉価であり、障害監視装置の価格が低減される。

さらに、デジタル信号処理装置1内の部分的またはデジタル処理をもシミュレートすることができる利点がある。従来は部分的なデジタル処理

の障害監視を行うためには、この部分処理を実行するデジタル信号処理装置を処理部に別々に用意する必要があり極めて高価なものとなつたが、本発明によれば單一のしかも廉価なシミュレーションプロセッサのみで汎用的な処理に対応できる。

第2図はデジタル信号処理装置の1例である非巡回形フィルタを示すプロック回路図である。同図において、入力端子INには、ある特定のサンプリング周期毎に新しいサンプル値が例えば16ビットのデジタル信号として並列に入力される。1.0_{n-1}, 1.0_{n-2}, ..., 1.0_{n-m}は各4, 16ビットの入力データの各ビットを1ビットずつシフトするシフトレジスタである1.1₁, 1.1₂, 1.1₃, ..., 1.1_mはそれぞれ、1.6ビットの入力データに係数a₀, a₁, a₂, ..., a_mを乗する乗算器である。そして1.2は乗算器1.1₁, 1.1₂, 1.1₃, ..., 1.1_mの乗算結果を加算する加算器である。第2図に示した非巡回形フィルタによって出力端子OUTに得られる値y_nは

$$y_n = a_0 x_n + a_1 x_{n-1} + a_2 x_{n-2} + \dots (1)$$

である。

第3図は第2図に示した非巡回形フィルタによる上記の演算を、シミュレーションプロセッサ8によってシミュレートするためのシミュレーションプロセッサ8内における処理の流れを示すフローチャートである。第3図において、ステップS₁～S_mで16ビットデータIN, x₀, x₀₋₁, ..., x_{0-m+1}をそれぞれx₁, x₁₋₁, ..., x_{1-m}に変換し、ステップS_{m+1}でy_n=a₀x_n + a₁x_{n-1} + ... + a_mx_{n-m}を計算する。ステップS_{m+2}でこの計算結果を上式(1)のy_nと比較する。一致していれば次の障害検出動作に入る。不一致であれば警報ランプを点灯させ、端末装置にその旨通知する。

こうして、非巡回形フィルタの障害監視がシミュレーションプロセッサ8により行われる。

本発明は非巡回形フィルタの障害監視に限定されないことは勿論である。例えば、巡回形フィルタ、デジタル電話回線上のADPCM変換フィルタやPCM変換フィルタ等、様々なデジタル

号処理装置の障害監視をシミュレーションプロセッサによって行うことが可能である。

〔発明の効果〕

以上説明したように、本発明によれば、デジタル信号処理装置の演算内容を汎用のプロセッサによりシミュレートするににより、汎用のデジタル信号処理装置による処理を中断することなくその障害を常時監視できる堅牢な障害監視装置が得られる。更に、デジタル信号処理装置内の部分的な任意のデジタル処理を单一の汎用プロセッサでシミュレートできるので、廉価で汎用的な障害監視装置が得られる。

4. 図面の簡単な説明

第1図は本発明の一実施例によるデジタル信号処理装置の障害監視装置を示すブロック図。

第2図はデジタル信号処理装置の1例である非巡回形フィルタを示すブロック図。

第3図は第2図に示した回路による演算をシミュレーションプロセッサによってシミュレートするための処理の流れを示すフローチャート。

特許昭60-262073(4)

第4図は従来の障害監視方式の1例を説明するためのブロック図、そして

第5図は従来の障害監視方式の他の1例を説明するためのブロック図である。

1——デジタル信号処理装置、2——比較回路、3——第1のメモリ、7——第2のメモリ、8——シミュレーションプロセッサ。

特許出願人

富士通株式会社

特許出願代理人

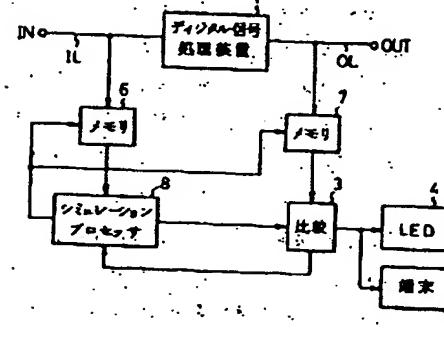
齊理士、青木、木村

齊理士、西、鶴、和之

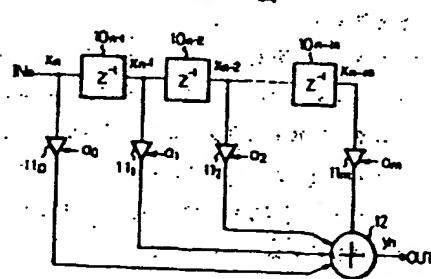
齊理士、内、田、幸男

齊理士、山、口、昭之

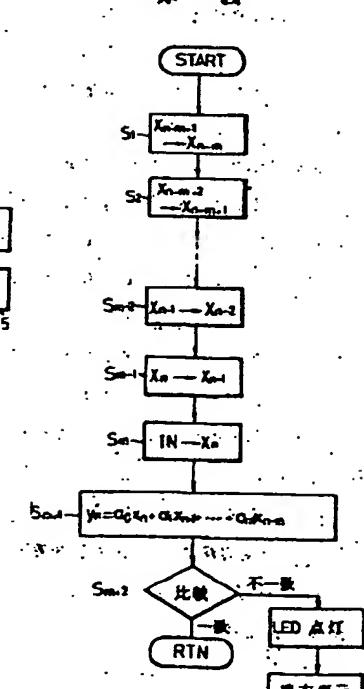
第1図



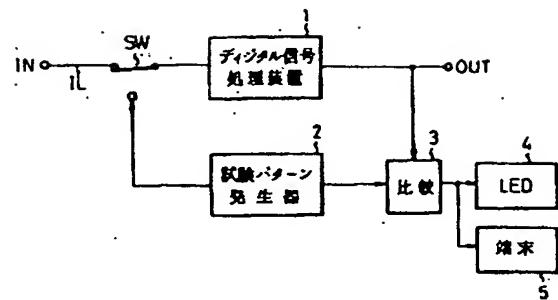
第2図



第3図



第4図



第5図

